

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-102503

(43) 公開日 平成6年(1994)4月15日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/1335	5 0 5	7408-2K		
G 0 2 B 5/20	1 0 1	7348-2K		
G 0 9 F 9/30		6447-5G		

審査請求 未請求 請求項の数 1 (全 9 頁)

(21) 出願番号	特願平4-250034	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22) 出願日	平成4年(1992)9月18日	(72) 発明者	矢尾 晋平 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74) 代理人	弁理士 石川 泰男

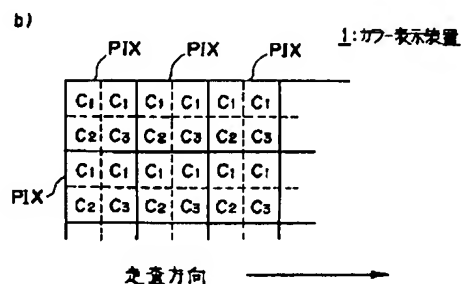
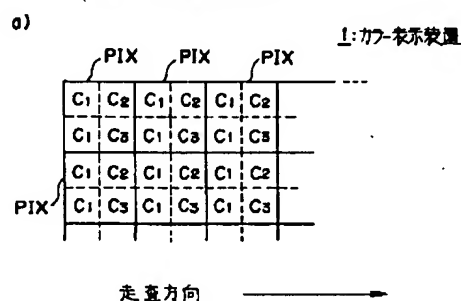
(54) 【発明の名称】 カラー表示装置

(57) 【要約】

【目的】 メモリ制御が容易で制御回路数を削減することができるカラー表示装置を提供する。

【構成】 R、G、Bの3色のセルのうちいずれか一色のセルC₁を2個用い、他の2色のセルC₂、C₃をそれぞれ1個づつ用い、4個のセルC₁、C₁、C₂、C₃を略マトリックス状に配置して画素PIXを形成し、複数の画素PIXを略マトリックス状に配置したカラー表示装置1において、画素PIXを構成するセルC₁、C₁、C₂、C₃のうち同一色の2個のセルC₁を走査方向あるいは走査方向と略直交する方向に並べて配置する。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 R、G、Bの3色のセルのうちいずれか一色のセル(C₁)を2個用い、他の2色のセル(C₂、C₃)をそれぞれ1個づつ用い、4個のセル(C₁、C₁、C₂、C₃)を略マトリックス状に配置して画素(PIX)を形成し、複数の画素(PIX)を略マトリックス状に配置したカラー表示装置(1)において、

画素(PIX)を構成するセル(C₁、C₁、C₂、C₃)のうち同一色の2個のセル(C₁)を走査方向あるいは走査方向と略直交する方向に並べて配置したことを特徴とするカラー表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はカラー表示装置に係り、特にプラズマディスプレイ、CRT(Cathode Ray Tube)、液晶ディスプレイ、蛍光表示管、エレクトロルミネッセンスディスプレイ及び発光ダイオードディスプレイ等の表示画面が画素から構成されるカラー表示装置に関する。

【0002】現在、表示装置において、カラー表示を行うことは必要不可欠になっているが、カラー表示を行う際には、1ドット(表示最小単位)を1画素として構成する必要がある。

【0003】ところで、この画素をR(Red)、G(Green)、B(Blue)の各セル(以下、それぞれ赤色セル、緑色セル、青色セルと呼ぶ。)を組み合わせて4セルで構成する場合には、4セルのうちのどのセルにどの色のセルを配置するかが問題となり、より制御の簡単な配置を有するカラー表示装置が望まれている。

【0004】

【従来の技術】従来の4セル方式のセル配置を図5に示す。1画素を赤色セル、緑色セル、青色セルを組み合わせて4セルで構成する場合、2個のセルは同色となるため、図5に示すように、同色のセルが斜め方向に配置されるようにしていた。図5(a)は青色セルが2個の場合のセル配置(i~iv)、図5(b)は、緑色セルが2個の場合のセル配置(i~iv)、図5(c)は赤色セルが2個の場合のセル配置(i~iv)である。

【0005】図6に1画素中に青色セルを2個用いた場合の表示画面上のセル配置例を示す。図6の場合、左上のセルに赤色セルを配置し、左下のセルに青色セルを配置し、右上のセルに青色セルを配置し、右下のセルに緑色セルを配置して1画素としたもの(図5(a)におけるセル配置(i))を、マトリックス状に配置して表示画面を構成している。

【0006】図7に従来のカラー表示装置の主要部の構成を示す。カラー表示装置20は、外部から入力された青色データD_bを記憶する青色データ記憶用メモリM_bと、外部から入力された緑色データD_gを記憶する緑色

データ記憶用メモリM_gと、外部から入力された赤色データD_rを記憶する赤色データ記憶用メモリM_rと、各データ記憶用メモリM_b、M_g、M_rのデータ記憶アドレス信号ADW/データ読出アドレス信号ADRを出力するメモリアドレス回路21と、カラム(column)選択信号S_cを出力するカラム側制御回路22と、ロウ(row)側の色配置を選択する色選択信号S_rを出力するロウ側選択回路23と、カラム選択信号S_cおよび色選択信号S_rに基づいてデータを出力すべき色データ記憶用メモリを選択するメモリ選択回路24と、各データ記憶用メモリM_b、M_g、M_rから出力される色データをシリアル/パラレル変換してセルデータ(表示データ)CDとして出力するパラレル/シリアル変換回路25と、を備えて構成されている。

【0007】次に、図6を参照してカラー表示装置20の動作を説明する。この場合において、すでに各データ記憶用メモリM_b、M_g、M_rには対応する色データが記憶されているものとする。

【0008】まず、カラム1のデータを出力する場合の動作を説明する。カラム側制御回路22は、カラム番号1に対応するカラム選択信号S_cをメモリ選択回路24およびロウ側選択回路23に出力し、これによりロウ側選択回路23は、ロウ番号1に対応する色選択信号S_rをメモリ選択回路24に出力する。

【0009】この結果、メモリ選択回路24は、「カラム番号1、ロウ番号1」に対応する赤色データD_r(図6(b)参照)が記憶されている赤色データ記憶用メモリM_rを選択し、赤色データ記憶用メモリM_rはメモリアドレス回路22のデータ読出アドレス信号ADRに基づいて、赤色データD_rをパラレル/シリアル変換回路25に出力する。

【0010】次に、ロウ側選択回路23は、ロウ番号2に対応する色選択信号S_rをメモリ選択回路24に出力する。この結果、メモリ選択回路24は、「カラム番号1、ロウ番号2」に対応する青色データD_b(図6(b)参照)が記憶されている青色データ記憶用メモリM_bを選択し、青色データ記憶用メモリM_bはメモリアドレス回路21のデータ読出アドレス信号ADRに基づいて、青色データD_bをパラレル/シリアル変換回路25に出力する。

【0011】以下、同様にしてカラム番号1についての全ての色データ(赤および青)をパラレル/シリアル変換回路25に出力し、パラレル/シリアル変換回路25は、カラム番号1の色データをシリアルデータのセルデータCDとして図示しないドライバに出力する。

【0012】続いて、カラム側制御回路22は、カラム番号2に対応するカラム選択信号S_cをメモリ選択回路24およびロウ側選択回路23に出力し、これによりロウ側選択回路23は、ロウ番号1の色選択信号S_rをメモリ選択回路24に出力する。

3

【0013】この結果、メモリ選択回路24は、「カラム番号2、ロウ番号1」に対応する青色データD₁（図6（c）参照）が記憶されている青色データ記憶用メモリM₁を選択し、青色データ記憶用メモリM₁はメモリアドレス回路21のデータ読出アドレス信号ADRに基づいて、青色データD₁をパラレル/シリアル変換回路25に出力する。

【0014】次に、ロウ側選択回路23は、ロウ番号2に対応する色選択信号S_rをメモリ選択回路24に出力する。この結果、メモリ選択回路24は、「カラム番号2、ロウ番号2」に対応する緑色データD₂（図6（c）参照）が記憶されている緑色データ記憶用メモリM₂を選択し、緑色データ記憶用メモリM₂はメモリアドレス回路21のデータ読出アドレス信号ADRに基づいて、緑色データD₂をパラレル/シリアル変換回路25に出力する。

【0015】以後同様にしてカラム番号2についてのすべての色データ（青および緑）をパラレル/シリアル変換回路25に出力する。これによりパラレル/シリアル変換回路25は、カラム番号2の色データをシリアルデータのセルデータCDとして図示しないドライバに出力する。

【0016】このようにしてカラー表示装置20は、外部からの色データに基づいて順次セルデータCDを出力し、カラー画像を表示していた。

【0017】

【発明が解決しようとする課題】上記、従来のカラー表示装置においては、同一の色を有するセルであっても、カラム毎にその配置が異なり、カラム番号およびロウ番号の両者に基づいてパラレル/シリアル変換回路に読み出すべき色データを決定しなければならず、色データを記憶している色データ記憶用メモリの読出順序を制御するメモリ制御が複雑となり、制御回路数も多くなってしまふという問題点があった。

【0018】そこで本発明の目的は、メモリ制御が容易で制御回路数を削減することができるカラー表示装置を提供することにある。

【0019】

【課題を解決するための手段】図1に本発明の原理説明図を示す。上記課題を解決するため、本発明は、R、G、Bの3色のセルのうちいずれか一色のセルC₁を2個用い、他の2色のセルC₂、C₃をそれぞれ1個づつ用い、4個のセルC₁、C₁、C₂、C₃を略マトリックス状に配置して画素PIXを形成し、複数の画素PIXを略マトリックス状に配置したカラー表示装置1において、画素PIXを構成するセルC₁、C₁、C₂、C₃のうち同一色の2個のセルC₁を走査方向あるいは走査方向と略直交する方向に並べて配置して構成する。ここで、図1（a）は、同一色の2個のセルC₁を走査方向を略直交する方向に並べて配置した場合を示し、図1

4

（b）は同一色の2個のセルC₁を走査方向に並べて配置した場合を示している。

【0020】

【作用】本発明によれば、画素を構成するセルのうち同一色の2個のセルを走査方向あるいは走査方向と略直交する方向に並べて配置しているため、走査位置（例えば、カラム位置）にかかわらず同一色のセルは常に走査方向に対して同一の位置（例えば、ロウ位置）にあるため、走査位置に応じて表示制御を変更する必要がないので、制御が容易となり制御回路を簡略化できる。

【0021】

【実施例】次に、図面を参照して本発明の好適な実施例を説明する。図2に本実施例の4セル方式のセル配置を示す。

【0022】本実施例においては、1画素を赤色セル、緑色セル、青色セルを組み合わせて4セルで構成する場合、2個のセルは同色となるため、図2に示すように、同色のセルが縦方向（カラム方向）に配置されるようにしている。図2（a）は青色セルが2個の場合のセル配置（i～iv）、図2（b）は、緑色セルが2個の場合のセル配置（i～iv）、図2（c）は赤色セルが2個の場合のセル配置（i～iv）である。

【0023】図3に青色セルを2個用いた場合の表示画面上のセル配置例を示す。図3（a）の場合、左上のセルに青色セルを配置し、左下のセルに青色セルを配置し、右上のセルに赤色セルを配置し、右下のセルに緑色セルを配置して1画素としたもの（図2（a）におけるセル配置（i））を、マトリックス状に配置して表示画面DSPを構成している。この場合において、図示の簡略化のため、カラム数=4、ロウ数=14の場合を示している。

【0024】図4にカラー表示装置の主要部の構成を示す。カラー表示装置10は外部から入力された青色データD₁を記憶する青色データ記憶用メモリM₁と、外部から入力された緑色データD₂を記憶する緑色データ記憶用メモリM₂と、外部から入力された赤色データD₃を記憶する赤色データ記憶用メモリM₃と、各データ記憶用メモリM₁、M₂、M₃のデータ記憶アドレスADW/データ読出アドレス信号ADRを出力するメモリアドレス回路11と、カラム選択信号S_c、S_c'を出力するカラム側制御回路12と、カラム選択信号S_cに基づいてデータを出力すべきデータ記憶用メモリを選択するためのメモリ選択信号S_mを出力するメモリ選択回路13と、各データ記憶用メモリM₁、M₂、M₃から出力される色データをシリアル/パラレル変換してセルデータ（表示データ）として出力するパラレル/シリアル変換回路14と、を備えて構成されている。

【0025】次に、図3を参照してカラー表示装置10の動作を説明する。この場合において、すでに各データ記憶用メモリM₁、M₂、M₃には対応する色データが

記憶されているものとし、メモリ選択回路13は奇数番号を有するカラムでは、「青、赤、青、赤、…」の順番で色データをデータ記憶用メモリM₁、M₆、M₁₁から読み出すように動作し、偶数番号を有するカラムでは、「青、緑、青、緑、…」の順番で色データをデータ記憶用メモリM₂、M₆、M₁₁から読み出すように動作するものとする。

【0026】まず、カラム1のデータを出力する場合の動作を説明する。カラム制御回路12は、カラム番号1に対応するカラム選択信号S_cをメモリ選択回路13

【0027】この結果、メモリ選択回路13は、「カラム番号1」に対応し、第1番目(＝ロウ番号1)に読み出すべき青色データD₁(図3(b)参照)を記憶している青色データ記憶用メモリM₁を選択し、青色データ記憶用メモリM₁はメモリアドレス回路11のデータ読出アドレス信号ADRに基づいて、青色データD₁をパラレル/シリアル変換回路14に出力する。

【0028】次に、メモリ選択回路13は、「カラム番号1」に対応する次(＝ロウ番号2)に読み出すべきの色データである赤色データD₂(図3(b)参照)が記憶されている赤色データ記憶用メモリM₂を選択し、赤色データ記憶用メモリM₂はメモリアドレス回路11のデータ読出アドレス信号ADRに基づいて、赤色データD₂をパラレル/シリアル変換回路14に出力する。

【0029】以下、同様にしてロウ番号を更新することによりカラム番号1についてのすべての色データ(青および赤)をパラレル/シリアル変換回路14に出力する。これによりパラレル/シリアル変換回路14は、カラム番号1の色データをシリアルデータのセルデータとして図示しないドライバに出力する。

【0030】続いて、カラム制御回路は、カラム番号2に対応するカラム選択信号S_cをメモリ選択回路13に出力する。この結果、メモリ選択回路13は、「カラム番号2」に対応し、第1番目(＝ロウ番号1)に読み出すべき青色データD₃(図3(c)参照)を記憶している青色データ記憶用メモリM₃を選択し、青色データ記憶用メモリM₃はメモリアドレス回路11のデータ読出アドレス信号ADRに基づいて、青色データD₃をパラレル/シリアル変換回路14に出力する。

【0031】次に、メモリ選択回路13は、「カラム番号1」に対応する次(＝ロウ番号2)に読み出すべきの色データである赤色データD₄(図3(b)参照)が記憶されている赤色データ記憶用メモリM₄を選択し、赤色データ記憶用メモリM₄はメモリアドレス回路11のデータ読出アドレス信号ADRに基づいて、赤色データD₄をパラレル/シリアル変換回路14に出力する。

【0032】以下、同様にしてメモリ選択回路13は、ロウ番号を更新することによりカラム番号2についてのすべての色データ(青および赤)をパラレル/シリアル

変換回路14に出力し、パラレル/シリアル変換回路14は、カラム番号2の色データをシリアルデータのセルデータとして図示しないドライバに出力する。

【0033】このようにしてカラー表示装置10は、外部からの色データに基づいて順次セルデータを出力し、カラー画像を表示する。上述したように、本実施例によれば、同一色のセルはロウ番号が奇数番号あるいは偶数番号のいずれかに配置されているので、カラム番号が特定されれば、読み出す色データの順番も決定される。したがって、上述の例の場合、ロウ番号が奇数の場合には常に青色データを読み出し、ロウ番号が偶数のときには、カラム番号に応じて赤、あるいは緑色データを読み出せば良いので、メモリ制御が容易となり、ロウ側選択回路等を設ける必要がないので、回路数を削減することが可能となる。

【0034】以上の実施例においては、色データをパラレル/シリアル変換回路14に出力すべき色データ記憶用メモリをカラム制御回路12のカラム選択信号S_cにより選択することにより、パラレル/シリアル変換回路14は出力される色データをそのままセルデータとして出力していたが、カラム選択信号S_c(＝カラム選択信号S_c)に基づいてパラレル/シリアル変換回路14が色データ記憶用メモリM₁、M₆、M₁₁から同時(パラレル)に出力される色データを順次取り込み、並べかえてセルデータとして出力するように構成することも可能である。

【0035】また、以上の実施例においては、同一色のセルを縦方向(カラム方向)に配列する場合について説明したが、横方向(ロウ方向)に同一色を配置するように構成することも可能である。例えば、カラム番号が奇数の場合には、すべて同一色を配置し、カラム番号が偶数の場合には、他の2色を交互に配置すれば、同様にカラム番号のみで、色データを読み出すべきデータ記憶用メモリを選択することが可能となる。

【0036】

【発明の効果】本発明によれば、画素を構成するセルのうち同一色の2個のセルを走査方向あるいは走査方向と略直交する方向に並べて配置しており走査位置(例えば、カラム位置)にかかわらず同一色のセルは常に走査方向に対して同一の位置(例えば、ロウ位置)にあるため、すなわち、どのカラムにおいてもある色のセルに着目すれば当該セルの配置位置は一定であるため、走査位置に応じて色データを記憶している色データ記憶用メモリからの色データ読出順番制御等の表示制御を変更する必要がないので、制御が容易となり制御回路を簡略化できる。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】実施例のセル配置の説明図である。

【図3】実施例の表示画面上の画素配置の説明図であ

る。

【図4】実施例のカラー表示装置の主要部の構成を示すブロック図である。

【図5】従来のセル配置の説明図である。

【図6】従来の表示画面上の画素配置の説明図である。

【図7】従来のカラー表示装置の主要部の構成を示すブロック図である。

【符号の説明】

1…カラー表示装置

C₁、C₂、C₃…セル

PIX…画素

10…カラー表示装置

11…メモリアドレス回路

12…カラム制御回路

13…メモリアドレス回路

14…パラレル/シリアル変換回路

ADW…データ記憶アドレス信号

ADR…データ読出アドレス信号

CD…セルデータ（表示データ）

D₃…青色データ

D₂…緑色データ

D₁…赤色データ

M₃…青色データ記憶用メモリ

10 M₂…緑色データ記憶用メモリ

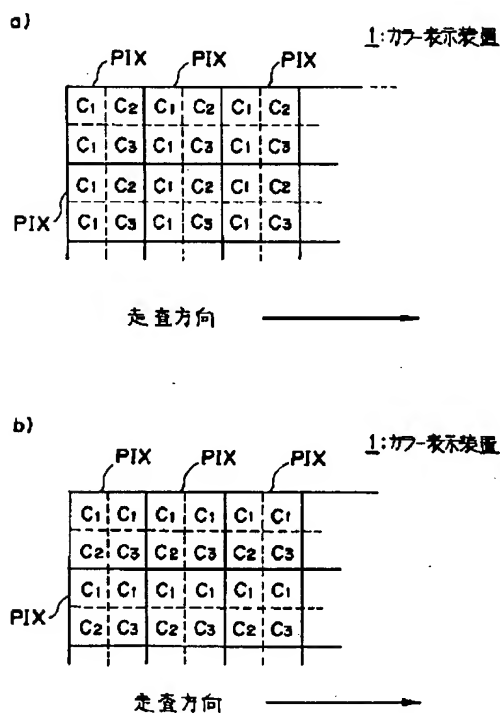
M₁…赤色データ記憶用メモリ

S_c、S_c'…カラム選択信号

S₃…メモリ選択信号

【図1】

本発明の原理説明図



【図2】

実施例のセル配置の説明図

a) 青色2セルの場合



b) 緑色2セルの場合



c) 赤色2セルの場合



【図3】

実施例の表示画面上の画素配置の説明図

a)

DSP:表示画面

	ロウ	1	2	3	4	5	6	7	8	9	10	11	12	13	14
カラム1		青	赤	青	赤	青	赤	青	赤	青	赤	青	赤	青	赤
	2	青	緑	青	緑	青	緑	青	緑	青	緑	青	緑	青	緑
	3	青	赤	青	赤	青	赤	青	赤	青	赤	青	赤	青	赤
	4	青	緑	青	緑	青	緑	青	緑	青	緑	青	緑	青	緑

b) カラム1のデータ配列

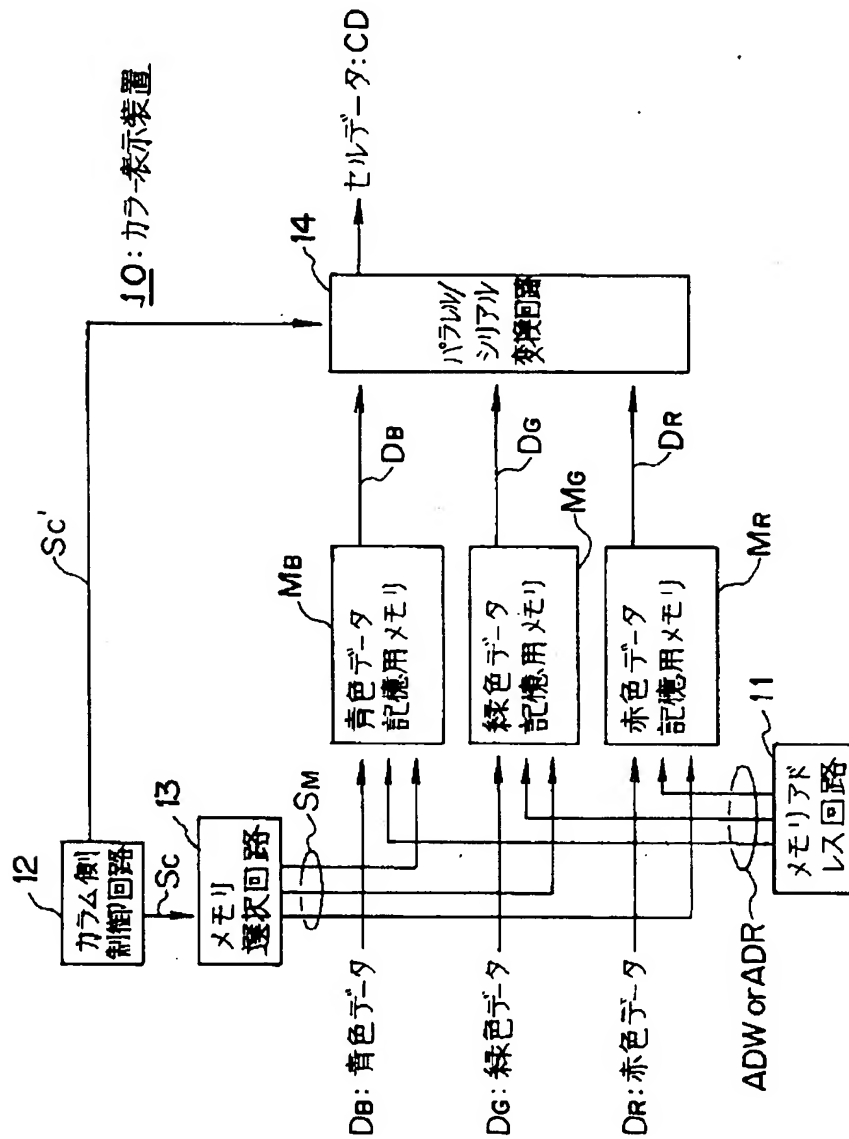
青	赤	青	赤	青	赤	青	赤	青	赤	青	赤	青	赤
ロウ	-----												ロウ
1													14

c) カラム2のデータ配列

青	緑	青	緑	青	緑	青	緑	青	緑	青	緑	青	緑
ロウ	-----												ロウ
1													14

【図4】

実施例のカラー表示装置の主要部の構成を示すブロック図



【図5】

従来のセル配置の説明図

a) 青色2セルの場合

赤	青	緑	青	青	緑	青	赤
青	緑	赤	青	赤	青	赤	青
(i)	(ii)	(iii)	(iv)				

b) 緑色2セルの場合

赤	緑	青	緑	緑	青	緑	赤
緑	青	緑	赤	赤	緑	青	緑
(i)	(ii)	(iii)	(iv)				

c) 赤色2セルの場合

緑	赤	青	赤	赤	青	赤	緑
赤	青	赤	緑	緑	赤	青	赤
(i)	(ii)	(iii)	(iv)				

【図6】

従来の表示画面上の画素配置の説明図

	ロウ	1	2	3	4	5	6	7	8	9	10	11	12	13	14
カラム1		赤	青	赤	青	赤	青	赤	青	赤	青	赤	青	赤	青
2		青	緑	青	緑	青	緑	青	緑	青	緑	青	緑	青	緑
3		赤	青	赤	青	赤	青	赤	青	赤	青	赤	青	赤	青
4		青	緑	青	緑	青	緑	青	緑	青	緑	青	緑	青	緑

カラム1のデータ配列

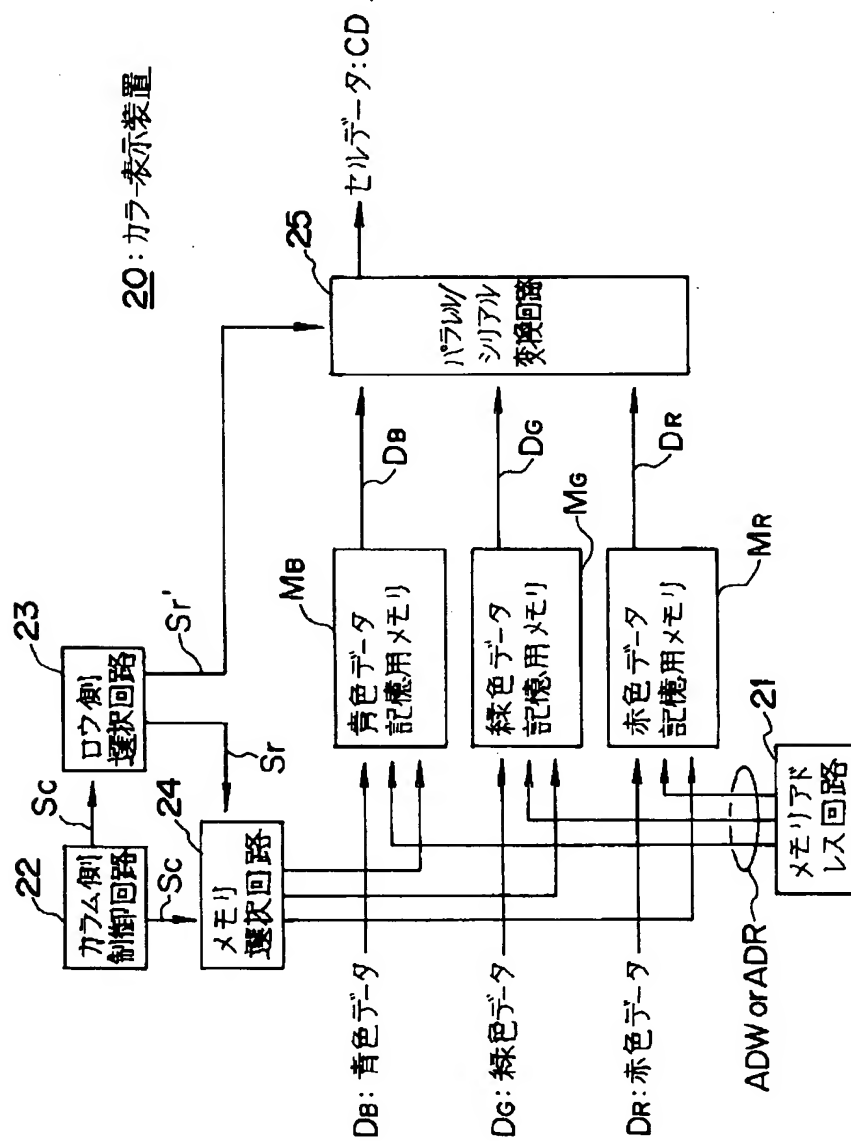
赤	青	赤	青	赤	青	赤	青	赤	青	赤	青	赤	青
ロウ	1												14

カラム2のデータ配列

青	緑	青	緑	青	緑	青	緑	青	緑	青	緑	青	緑
ロウ	1												14

【図7】

従来のカラー表示装置の主要部の構成を示すブロック図



(19) JAPAN PATENT OFFICE PUBLISHED PATENT APPLICATION (A)

(11) Laid-Open No.: Sho. 06(1994)-102503

(44) Publication Date: April 15, 1994

(51) Int. Cl.⁵ Classification Codes Intraoffice Serial Nos. F1 Technical Disclosure Section

G 02F 23/02 1/1335 505 7408-2K
G 02B 23/14 5/20 101 7348-2K
G 02F 11/00 9/30 6447-5G

Request for Examination Not Requested
No. of Claims (1) (Total of 9 Pages)

(21) Application No. Hei-4(1992)-250034	(71) Applicant 000005223 Fujitsu Kabushiki Kaisha Kanazawa-ken, Kawasaki-shi, Nakahara-cho, Odanaka, 1015-banchi
(22) Application Date: September 18, 1992	(72) Inventor Shinpei Yao Kanazawa-ken, Kawasaki-shi, Nakahara-cho, Odanaka, 1015-banchi @ Fujitsu Kabushiki Kaisha
	(74) Agent Yasuo Iwasaki, Patent Attorney

(54) [Title of the Invention]

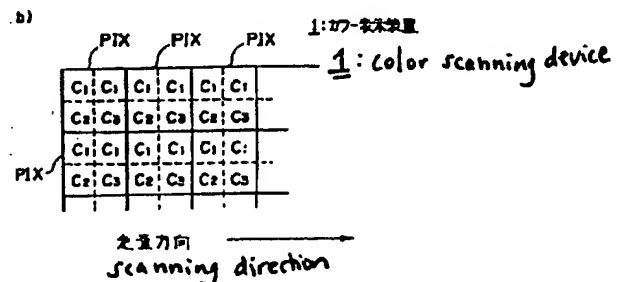
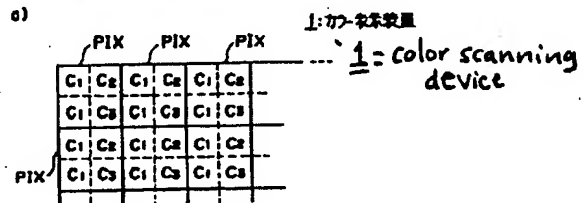
Color Display Device

(57) [Abstract]

PURPOSE: To provide a color display device that facilitates memory control and whereby the number of control circuits is curtailed.

CONSTITUTION: In a color display device (1), two cells (C1) of any one of the three colors R, G, and B are used, and one each of the other cells (C2), (C3) are used for the two remaining colors, respectively; the four cells (C1), (C1), (C2) and (C3) are arranged approximately in a matrix to form a pixel PIX, and multiple pixels PIX are arranged approximately in matrix, wherein the two cells (C1), (C1) of the same color among the cells (C1), (C1), (C2) and (C3) constituting one pixel are arranged in a scanning direction or at right angles to the scanning direction.

Figure To Explain the Principle of the Present Invention
本発明の原理説明図



CLAIMS

[Claim(s)]

[Claim 1] Two cells (C1) of any 1 color are used among the cells of three colors of R, G, and B. the cell (C2 and C3) of other two colors -- respectively -- every one piece -- using -- four cells (C1 --) In the electrochromatic display (1) which has arranged C1, C2, and C3 in the shape of an abbreviation matrix, formed the pixel (PIX) and has arranged two or more pixels (PIX) in the shape of an abbreviation matrix. The electrochromatic display characterized by having put in order and arranged two cells (C1) of the same color among the cells (C1, C1, C2, and C3) which constitute a pixel (PIX) in the direction which carries out an abbreviation rectangular cross with a scanning direction or a scanning direction.

[Translation done.]

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the electrochromatic display with which a electrochromatic display is started, especially the display screens, such as a plasma display, CRT (Cathode Ray Tube), a liquid crystal display, a fluorescent display, an electroluminescence display, and a light emitting diode display, consist of pixels.

[0002] Now, although it is indispensable to perform color display in display, in case color display is performed, it is necessary to constitute 1 dot (display smallest unit) as 1 pixel.

[0003] By the way, when it constitutes this pixel from four cells combining each cell (it is hereafter called a red cell, a green cell, and a blue cell, respectively.) of R (Red), G (Green), and B (Blue), it becomes which cell of the four cells with a problem of which color a cell is arranged, and a electrochromatic display which has easy arrangement of control more is desired.

[0004]

[Description of the Prior Art] Cell arrangement of 4 conventional cell methods is shown in drawing 5 . When it constitutes 1 pixel from four cells combining a red cell, a green cell, and a blue cell, since two cells serve as the same color, as shown in drawing 5 , the cell of the same color is made to be arranged in the direction of slant. As for cell arrangement (i -iv) in case the number of green cells of cell arrangement (i -iv) in case the number of blue cells is two, and drawing 5 (b) is two, and drawing 5 (c), the red cell of drawing 5 (a) is cell arrangement in the case of being two pieces (i -iv).

[0005] The example of cell arrangement on the display screen at the time of using two blue cells for drawing 6 into 1 pixel is shown. In the case of drawing 6 , a red cell is arranged in an upper left cell, a blue cell is arranged in a lower left cell, a blue cell is arranged in an upper right cell, what has arranged the green cell in the lower right cell, and was made into 1 pixel (cell arrangement in drawing 5 (a) (i)) is arranged in the shape of a matrix, and the display screen is constituted.

[0006] The composition of the principal part of the conventional electrochromatic display is shown in drawing 7 . blue data DB into which the electrochromatic display 20 was inputted from the outside Memory MB for blue data storages to memorize green data DG inputted from the outside Memory MG for green data storages to memorize red data DR inputted from the outside Memory MR for red data storages to memorize Each memory MB for data storages, MG, and MR The memory address circuit 21 which outputs data-storage address signal ADW / data read-out address signal ADR, Column (column) selection signal Sc The column side control circuit 22 to output, Colour-selection signal Sr which chooses the color arrangement by the side of a low (row) The low side selection circuitry 23 to output, Column selection signal Sc And colour-selection signal Sr The memory selection circuitry 24 which chooses the memory for color data storages which should be based and should output data, Each memory MB for data storages, MG, and MR It has the parallel/serial-conversion circuit 25 which carries out serial/parallel conversion of the color data by which a shell output is carried out, and is outputted as a cell data (indicative data) CD, and is constituted.

[0007] Next, operation of a electrochromatic display 20 is explained with reference to drawing 6 . in this

case -- already -- each memory MB for data storages, MG, and MR **** -- corresponding color data shall be memorized

[0008] First, operation in the case of outputting the data of a column 1 is explained. The column side control circuit 22 is the column selection signal Sc corresponding to the column number 1. It is the colour-selection signal Sr corresponding to [output to the memory selection circuitry 24 and the low side selection circuitry 23, and / by this] the low number 1 in the low side selection circuitry 23. It outputs to the memory selection circuitry 24.

[0009] consequently, memory MR for red data storages the red data DR (refer to drawing 6 (b)) corresponding to "the column number 1 and the low number 1" in the memory selection circuitry 24 are remembered to be choosing -- memory MR for red data storages data read-out address signal ADR of the memory address circuit 22 -- being based -- red data DR It outputs to the parallel/serial-conversion circuit 25.

[0010] Next, the low side selection circuitry 23 is the colour-selection signal Sr corresponding to the low number 2. It outputs to the memory selection circuitry 24. consequently, memory MB for blue data storages the blue data DB (refer to drawing 6 (b)) corresponding to "the column number 1 and the low number 2" in the memory selection circuitry 24 are remembered to be choosing -- memory MB for blue data storages data read-out address signal ADR of the memory address circuit 21 -- being based -- blue data DB It outputs to the parallel/serial-conversion circuit 25.

[0011] Hereafter, all the color data (red and blue) about the column number 1 are similarly outputted to the parallel/serial-conversion circuit 25, and the parallel/serial-conversion circuit 25 is outputted to the driver which does not illustrate the color data of the column number 1 as a cell data CD of serial data.

[0012] Then, the column side control circuit 22 is the column selection signal Sc corresponding to the column number 2. Outputting to the memory selection circuitry 24 and the low side selection circuitry 23, thereby, the low side selection circuitry 23 is the colour-selection signal Sr of the low number 1. It outputs to the memory selection circuitry 24.

[0013] consequently, memory MB for blue data storages the blue data DB (refer to drawing 6 (c)) corresponding to "the column number 2 and the low number 1" in the memory selection circuitry 24 are remembered to be choosing -- memory MB for blue data storages data read-out address signal ADR of the memory address circuit 21 -- being based -- blue data DB It outputs to the parallel/serial-conversion circuit 25.

[0014] Next, the low side selection circuitry 23 is the colour-selection signal Sr corresponding to the low number 2. It outputs to the memory selection circuitry 24. consequently, memory MG for green data storages the green data DG corresponding to "the column number 2 and the low number 2" in the memory selection circuitry 24 (refer to drawing 6 (c)) are remembered to be choosing -- memory MG for green data storages data read-out address signal ADR of the memory address circuit 21 -- being based -- green data DG It outputs to the parallel/serial-conversion circuit 25.

[0015] All the color data (blue and green) about the column number 2 are outputted to the parallel/serial-conversion circuit 25 similarly hereafter. Thereby, the parallel/serial-conversion circuit 25 outputs the color data of the column number 2 to the driver which is not illustrated as a cell data CD of serial data.

[0016] Thus, the electrochromatic display 20 outputted the cell data CD one by one based on the color data from the outside, and showed the color picture.

[0017]

[Problem(s) to be Solved by the Invention] The arrangement differed for every column, even if it was the cell which has the same color in the above and the conventional electrochromatic display, the power color data read to a parallel/serial-conversion circuit based on both column number and low number had to be determined, it became complicated memory controlling [which controls the read-out sequence of the memory for color data storages of having memorized color data], and there was a flume trouble that the number of control circuits also increased.

[0018] Then, memory control is easy for the purpose of this invention, and is to offer the electrochromatic display which can cut down the number of control circuits.

[0019]

[Means for Solving the Problem] Principle explanatory drawing of this invention is shown in drawing 1. In order to solve the above-mentioned technical problem, this invention is the cell C1 of any 1 color among the cells of three colors of R, G, and B. Two pieces are used. The cell C2 of other two colors, and C3 It uses one piece at a time, respectively. Four cells C1, C1, C2, and C3 In the electrochromatic display 1 which has arranged in the shape of an abbreviation matrix, formed Pixel PIX and has arranged two or more pixels PIX in the shape of an abbreviation matrix The cell C1 which constitutes Pixel PIX, C1, C2, and C3 They are two cells C1 of the same color inside. It arranges, arranges and constitutes in the direction which carries out an abbreviation rectangular cross with a scanning direction or a scanning direction. Here, drawing 1 (a) is two cells C1 of the same color. The case where the scanning direction has been put in order and arranged in the direction which carries out an abbreviation rectangular cross is shown, and drawing 1 (b) is two cells C1 of the same color. The case where it has arranged and arranged to the scanning direction is shown.

[0020]

[Function] Since two cells of the same color are put in order and arranged among the cells which constitute a pixel in the direction which carries out an abbreviation rectangular cross with a scanning direction or a scanning direction according to this invention, the cell of the same color is always in the same position (for example, low position) to a scanning direction irrespective of a scanning position (for example, column position) and it is not necessary to change a display control according to a scanning position, control becomes easy and a control circuit can be simplified.

[0021]

[Example] Next, the suitable example of this invention is explained with reference to a drawing. Cell arrangement of 4 cell methods of this example is shown in drawing 2.

[0022] In this example, when it constitutes 1 pixel from four cells combining a red cell, a green cell, and a blue cell, since two cells serve as the same color, as shown in drawing 2, the cell of the same color is made to be arranged lengthwise (the direction of a column). As for cell arrangement (i-iv) in case the number of green cells of cell arrangement (i-iv) in case the number of blue cells is two, and drawing 2 (b) is two, and drawing 2 (c), the red cell of drawing 2 (a) is cell arrangement in the case of being two pieces (i-iv).

[0023] The example of cell arrangement on the display screen at the time of using two blue cells for drawing 3 is shown. In the case of drawing 3 (a), a blue cell is arranged in an upper left cell, a blue cell is arranged in a lower left cell, a red cell is arranged in an upper right cell, what has arranged the green cell in the lower right cell, and was made into 1 pixel (cell arrangement in drawing 2 (a) (i)) is arranged in the shape of a matrix, and the display screen DSP is constituted. In this case, the well of simplification of illustration, column number = 4, a low number = the case of 14 is shown.

[0024] The composition of the principal part of an electrochromatic display is shown in drawing 4. blue data DB into which the electrochromatic display 10 was inputted from the outside Memory MB for blue data storages to memorize green data DG inputted from the outside Memory MG for green data storages to memorize red data DR inputted from the outside Memory MR for red data storages to memorize Each memory MB for data storages, MG, and MR The memory address circuit 11 which outputs data-storage address ADW / data read-out address signal ADR, The column side control circuit 12 which outputs the column selection signal Sc and Sc', Column selection signal Sc Memory selection signal SM for choosing the memory for data storages which should be based and should output data The memory selection circuitry 13 to output, Each memory MB for data storages, MG, and MR It has the parallel/serial-conversion circuit 14 which carries out serial/parallel conversion of the color data by which a shell output is carried out, and is outputted as a cell data (indicative data), and is constituted.

[0025] Next, operation of an electrochromatic display 10 is explained with reference to drawing 3. in this case -- already -- each memory MB for data storages, MG, and MR **** -- corresponding color data being memorized and the memory selection circuitry 13 in the column which has an odd number the turn of "blue, red, blue, and red [--]" -- color data -- the memory MB for data storages, MG, and MR from -- it operating so that it may read, and in the column which has an even number the turn of "blue, green, blue, and green [--]" -- color data -- the memory MB for data storages, MG, and MR from -- it

shall operate so that it may read

[0026] First, operation in the case of outputting the data of a column 1 is explained. The column side control circuit 12 is the column selection signal Sc corresponding to the column number 1. It outputs to the memory selection circuitry 13.

[0027] consequently, memory MB for blue data storages which has memorized the power blue data DB (refer to drawing 3 (b)) which the memory selection circuitry 13 corresponds to "the column number 1", and are read to the 1st (= low number 1) choosing -- memory MB for blue data storages data read-out address signal ADR of the memory address circuit 11 -- being based -- blue data DG It outputs to the parallel/serial-conversion circuit 14.

[0028] next, memory MR for red data storages the red data DR (refer to drawing 3 (b)) which are color data of the power which reads the memory selection circuitry 13 to the degree (= low number 2) corresponding to "the column number 1" are remembered to be choosing -- memory MR for red data storages data read-out address signal ADR of the memory address circuit 11 -- being based -- red data DR It outputs to the parallel/serial-conversion circuit 14.

[0029] Hereafter, all the color data (blue and red) about the column number 1 are outputted to the parallel/serial-conversion circuit 14 by updating a low number similarly. Thereby, the parallel/serial-conversion circuit 14 outputs the color data of the column number 1 to the driver which is not illustrated as a cell data of serial data.

[0030] Then, a column side control circuit is the column selection signal Sc corresponding to the column number 2. It outputs to the memory selection circuitry 13. consequently, memory MB for blue data storages which has memorized the power blue data DB (refer to drawing 3 (c)) which the memory selection circuitry 13 corresponds to "the column number 2", and are read to the 1st (= low number 1) choosing -- memory MB for blue data storages data read-out address signal ADR of the memory address circuit 11 -- being based -- blue data DG It outputs to the parallel/serial-conversion circuit 14.

[0031] next, memory MR for red data storages the red data DR (refer to drawing 3 (b)) which are color data of the power which reads the memory selection circuitry 13 to the degree (= low number 2) corresponding to "the column number 1" are remembered to be choosing -- memory MR for red data storages data read-out address signal ADR of the memory address circuit 11 -- being based -- red data DR It outputs to the parallel/serial-conversion circuit 14.

[0032] Hereafter, similarly, by updating a low number, the memory selection circuitry 13 outputs all the color data (blue and red) about the column number 2 to the parallel/serial-conversion circuit 14, and outputs the parallel/serial-conversion circuit 14 to the driver which does not illustrate the color data of the column number 2 as a cell data of serial data.

[0033] Thus, a electrochromatic display 10 outputs a cell data one by one based on the color data from the outside, and displays a color picture. Since, as for the cell of the same color, the low number is arranged at either the odd number or the even number according to this example as mentioned above, if a column number is specified, the turn of the color data to read will also be determined. Therefore, since what is necessary is in the case of an above-mentioned example to always read blue data when the number of low numbers is odd, and just to read red or green data according to a column number when the number of low numbers is even, memory control becomes easy, and since it is not necessary to prepare a low side selection circuitry etc., it becomes possible to cut down the number of circuits.

[0034] It is the column selection signal Sc of the column side control circuit 12 about the memory for color data storages which should output color data to the parallel/serial-conversion circuit 14 in the above example. By choosing Although the parallel/serial-conversion circuit 14 was outputting the color data outputted as a cell data as it was It is based on column selection-signal Sc' (= column selection signal Sc). the parallel/serial-conversion circuit 14 The memory MB for color data storages, MG and MR It is also possible to constitute so that the color data outputted to shell **** (parallel) may be incorporated one by one, may be rearranged and it may output as a cell data.

[0035] Moreover, in the above example, although the case where the cell of the same color was arranged to lengthwise (the direction of a column) was explained, it is also possible to constitute so that the same color may be arranged in a longitudinal direction (the direction of a low). For example, if the same color

is altogether arranged when the number of column numbers is odd, and other two colors are arranged by turns when the number of column numbers is even, it will become possible to choose similarly the memory for power data storages which reads color data only by the column number.

[0036]

[Effect of the Invention] According to this invention, two cells of the same color are put in order and arranged among the cells which constitute a pixel in the direction which carries out an abbreviation rectangular cross with a scanning direction or a scanning direction. A scanning position Since the cell of the same color is always in the same position (for example, low position) to a scanning direction irrespective of (for example, a column position), If its attention is paid to the cell of a color set in any column, namely, since the arrangement position of the cell concerned is fixed, Since it is not necessary to change display controls which have memorized color data according to a scanning position, such as color data read-out turn control from the memory for color data storages, control becomes easy and a control circuit can be simplified.

[Translation done.]

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is principle explanatory drawing of this invention.

[Drawing 2] It is explanatory drawing of cell arrangement of an example.

[Drawing 3] It is explanatory drawing of the pixel arrangement on the display screen of an example.

[Drawing 4] It is the block diagram showing the composition of the principal part of the electrochromatic display of an example.

[Drawing 5] It is explanatory drawing of the conventional cell arrangement.

[Drawing 6] It is explanatory drawing of the pixel arrangement on the conventional display screen.

[Drawing 7] It is the block diagram showing the composition of the principal part of the conventional electrochromatic display.

[Description of Notations]

1 -- Electrochromatic display

C1, C1, C2, and C3 -- Cell

PIX -- Pixel

10 -- Electrochromatic display

11 -- Memory address circuit

12 -- Column side control circuit

13 -- Memory selection circuitry

14 -- Parallel/serial-conversion circuit

ADW -- Data-storage address signal

ADR -- Data read-out address signal

CD -- Cell data (indicative data)

DB -- Blue data

DG -- Green data

DR -- Red data

MB -- Memory for blue data storages

MG -- Memory for green data storages

MR -- Memory for red data storages

Sc and Sc' -- Column selection signal

SM -- Memory selection signal

[Translation done.]

Figure 1

本発明の原理説明図

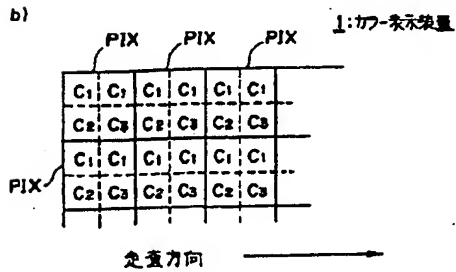
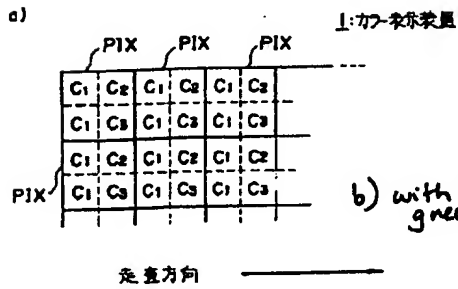


Figure 2

実施例のセル配置の説明図

Explanatory Diagram of the cell arrangements of example

a) with two blue cells

a) 青2セルの場合



b) with two green cells

b) 緑2セルの場合



c) with two red cells

c) 赤2セルの場合



Figure 3

実施例の表示画面上の画素配置の説明図

Explanatory diagram
on pixels arrayed on
the display screen.
of an embodiment.

a)

DSP: 表示画面 - display screen.

Row row	Column カラム													
	1	2	3	4	5	6	7	8	9	10	11	12	13	14
1	青 _R	赤 _R	青 _B	赤 _R	青 _B	赤 _R	青 _B	赤 _R	青 _B	赤 _R	青 _B	赤 _R	青 _B	赤 _R
2	青 _R	緑 _G	青 _B	緑 _G	青 _B	緑 _G	青 _B	緑 _G	青 _B	緑 _G	青 _B	緑 _G	青 _B	緑 _G
3	青 _B	赤 _R	青 _B	赤 _R	青 _B	赤 _R	青 _B	赤 _R	青 _B	赤 _R	青 _B	赤 _R	青 _B	赤 _R
4	青 _B	緑 _G	青 _B	緑 _G	青 _B	緑 _G	青 _B	緑 _G	青 _B	緑 _G	青 _B	緑 _G	青 _B	緑 _G

data array of column (1)

b) カラム1のデータ配列

B	R	B	R	B	R	B	R	B	R	B	R	B	R	B	R
青	赤	青	赤	青	赤	青	赤	青	赤	青	赤	青	赤	青	赤

row row ----- row row
1 14

data array of column (2)

c) カラム2のデータ配列

B	G	B	G	B	G	B	G	B	G	B	G	B	G	B	G
青	緑	青	緑	青	緑	青	緑	青	緑	青	緑	青	緑	青	緑

row row ----- row row
1 14

図4 Figure 4

実施例のカラー表示装置の主要部の構成を示すブロック図

Block diagram depicting the structure of the main components of the color display device of the embodiment.

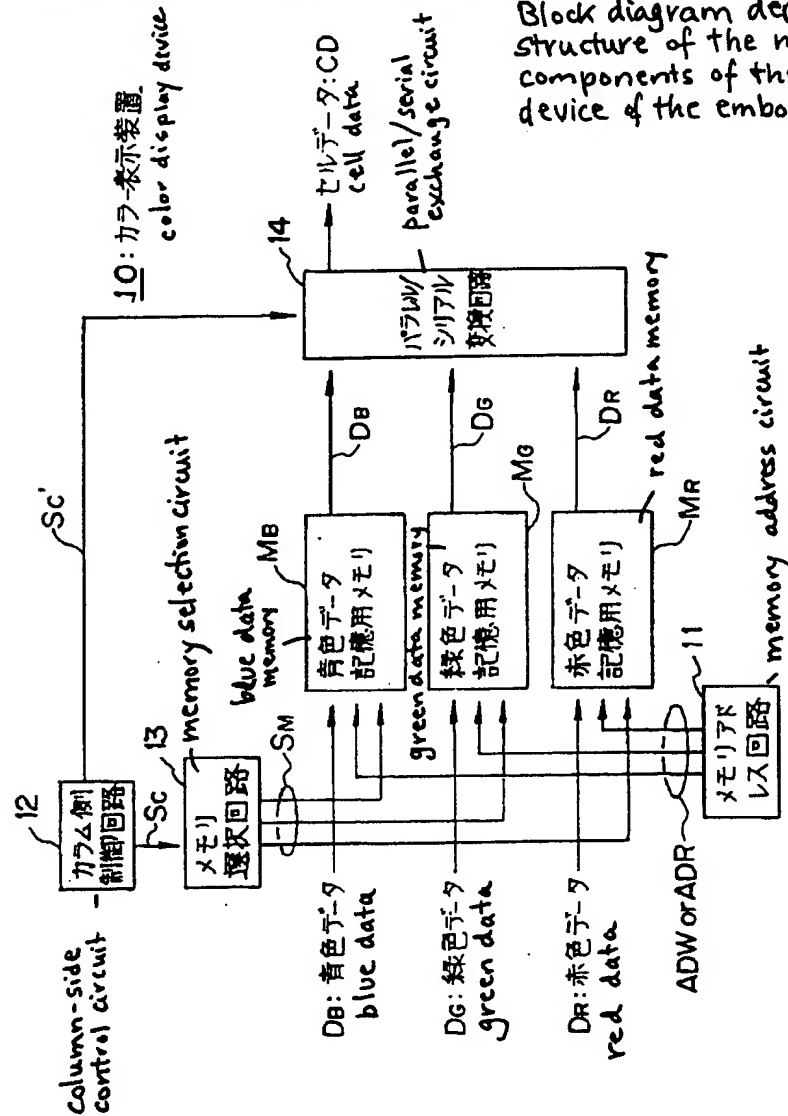
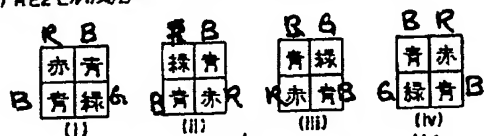


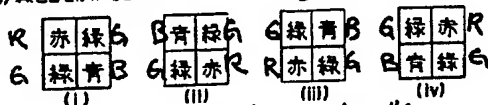
図5 Figure 5

従来のセル配置の説明図
Explanatory Figure of a conventional cell device

a) 青2セルの場合 → with two blue cells



b) 緑2セルの場合 → with two green cells



c) 赤2セルの場合 → with two red cells

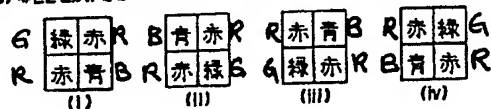


図6 Figure 6

従来の表示画面上の画素配置の説明図

Explanatory figure of a pixel array on a conventional screen.

Row row		1	2	3	4	5	6	7	8	9	10	11	12	13	14
Column カラム	1	赤	青	赤	青	赤	青	赤	青	赤	青	赤	青	赤	青
2	青	緑	青	緑	青	緑	青	緑	青	緑	青	緑	青	緑	青
3	赤	青	赤	青	赤	青	赤	青	赤	青	赤	青	赤	青	赤
4	青	緑	青	緑	青	緑	青	緑	青	緑	青	緑	青	緑	青

カラム1のデータ配列 - data array of column (1)

R	B	R	B	R	B	R	B	R	B	R	B	R	B	R	B
赤	青	赤	青	赤	青	赤	青	赤	青	赤	青	赤	青	赤	青

row 1 row 14

カラム2のデータ配列 - data array of column (2)

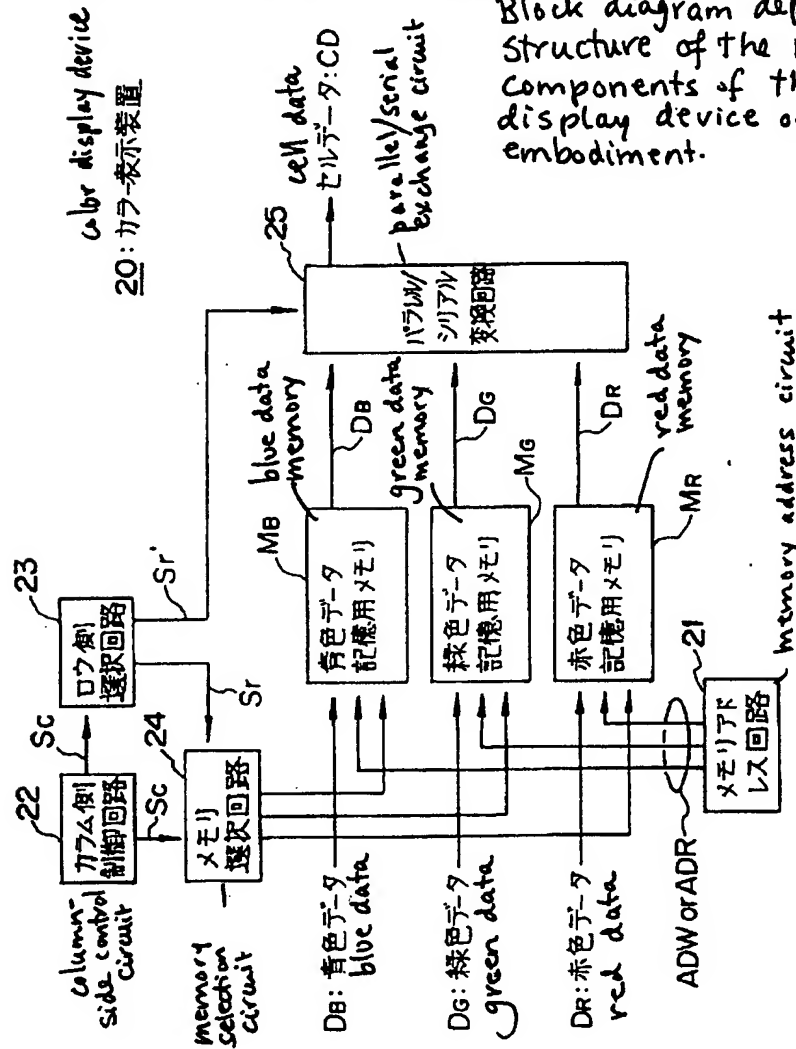
G	B	G	B	G	B	G	B	G	B	G	B	G	B	G	B
青	緑	青	緑	青	緑	青	緑	青	緑	青	緑	青	緑	青	緑

row 1 row 14

Figure 7

従来のカラー表示装置の主要部の構成を示すブロック図

Block diagram depicting the structure of the main components of the color display device of the embodiment.



THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)